

**Process for automatic dynamic reloading of data flow processors (DFPs) and units with two- or three-dimensional programmable cell architectures (FPGAs, DPGAs, and the like**

Publication number: JP2001510650 (T)

Publication date: 2001-07-31

Inventor(s):

Applicant(s):

Classification:

- international: G06F15/82; G06F17/50; H03K19/177; G06F15/76; G06F17/50; H03K19/177; (PC1-7): G06F15/82; H03K19/177

- European: G06F15/76R; H03K19/177

Application number: JP19980529538T 19971222

Priority number(s): DE19961054846 19961227; WO1997DE02998 19971222

Also published as:

JP3661028 (B2)

US2006031595 (A1)

US2006144485 (A1)

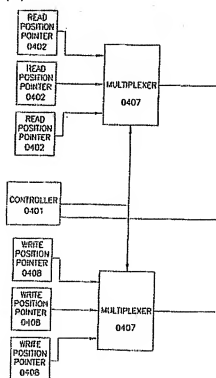
JP2007215203 (A)

AT243300 (T)

Abstract not available for JP 2001510650 (T)

Abstract of corresponding document: US 2006031595 (A1)

In a data-processing method, first result data may be obtained using a plurality of configurable coarse-granular elements, the first result data may be written into a memory that includes spatially separate first and second memory areas and that is connected via a bus to the plurality of configurable coarse-granular elements, the first result data may be subsequently read out from the memory, and the first result data may be subsequently processed using the plurality of configurable coarse-granular elements. In a first configuration, the first memory area may be configured as a write memory, and the second memory area may be configured as a read memory. Subsequent to writing to and reading from the memory in accordance with the first configuration, the first memory area may be configured as a read memory, and the second memory area may be configured as a write memory.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (JP)

## (12) 特 許 公 報 (B2)

(11) 特許番号

特許第3961028号  
(P3961028)

(45) 発行日 平成19年8月15日 (2007.8.15)

(24) 登録日 平成19年5月25日 (2007.5.25)

(51) Int. Cl.

F I

H03K 19/177 (2006.01)  
G06F 15/82 (2006.01)H03K 19/177  
G06F 15/82 630Z

請求項の数 6 (全 25 頁)

(21) 出願番号 特願平10-529538  
(86) (22) 出願日 平成9年12月22日 (1997.12.22)  
(65) 公表番号 特表2001-510650 (P2001-510650A)  
(43) 公表日 平成13年7月31日 (2001.7.31)  
(86) 国際出願番号 PCT/DE1997/002998  
(87) 国際公開番号 WO1998/029952  
(87) 国際公開日 平成10年7月9日 (1998.7.9)  
(87) 審査請求日 平成18年12月3日 (2004.12.3)  
(31) 優先権主張番号 19654846.2  
(32) 優先日 平成8年12月27日 (1996.12.27)  
(33) 優先権主張国 ドイツ (DE)

## (73) 特許権者

ベアースツエーテ イクスベーパー テ  
クノロジーズ アクチエンゲゼルシャフト  
ドイツ連邦共和国 ミュンヘン ムートマ  
ンシュトラッセ 1

## (74) 代理人

弁理士 矢野 敏雄

## (74) 代理人

弁理士 山崎 利臣

## (74) 代理人

弁理士 久野 琢也

## (74) 代理人

弁理士 ラインハルト・アインゼル

最終頁に続く

(54) 【発明の名称】 データフロープロセッサ (DFP) の自動的なダイナミックアンロード方法並びに2次元または3次元のプログラミング可能なセルストラクチャを有するモジュール (FPGA, DPGA等)

(57) 【特許請求の範囲】

【請求項1】

データ処理ユニットであって、該データ処理ユニットは

コンフィギュレーション化可能なエレメントの2次元または多次元のセル装置と、該セル装置に割り当てられているコンフィギュレーションデータ送信ユニットとを有しており、  
該コンフィギュレーションデータ送信ユニットは

ロードロジック回路としてまたはコンフィギュレーションのために使用される内部セルとしてまたは

コンフィギュレーション信号源として用いられる別の固定的にインプリメントされた機能  
ユニットとして

実現されている形式のものにおいて、

個別のコンフィギュレーション化可能なエレメントまたはその群と前記コンフィギュレ  
ーションデータ送信ユニットとの間の通信ユニットとして、

スイッチング・テーブルが設けられており、該スイッチング・テーブルは

該コンフィギュレーションデータ送信ユニットからのコンフィギュレーションデータを収  
容するためのコンフィギュレーションメモリと

制御部と

を有しており、該制御部は、  
読み出しおよび/または書き込み位置ポインタを、そこで選択され、前記エレメントまたはその群から通報されたイベントまたはこの種のイベントの組み合わせの到来にตอบสนองして  
コンフィギュレーションメモリ場所に移動させて、リアルタイムで、コンフィギュレーション語を前記コンフィギュレーションメモリからコンフィギュレーションすべきエレメントに伝送して、再コンフィギュレーションが実施されることを可能にするように  
構成されている。

ことを特徴とするデータ処理ユニット。

【請求項2】

前記コンフィギュレーションメモリはリングメモリとして形成されている請求項1記載の  
データ処理ユニット。

【請求項3】

少なくとも、ステータストリガのためのトリガ入力側（トリガ）を備えている前記通信の  
ためのユニットが設けられている

請求項1または2記載のデータ処理ユニット。

【請求項4】

前記制御部は、トリガパルスにตอบสนองするように構成されており、かつ  
個々のトリガパルスをマスクアウトするためおよび/または前記通信ユニットがそれに  
ตอบสนอง、到来するトリガパルスの極性を予め定めるための手段が設けられている

請求項1から3までのいずれか1項記載のデータ処理ユニット。

【請求項5】

前記制御部は、所定のコンフィギュレーションされたメモリアドレスを生成するように構成  
されているアドレス発生器を有している

請求項1から4までのいずれか1項記載のデータ処理ユニット。

【請求項6】

ロードロジック回路としてまたはコンフィギュレーションのために使用される内部セルと  
してまたはコンフィギュレーション信号源として用いられる別の固定的にインプリメント  
された機能ユニットとして実現されているコンフィギュレーションデータ送信ユニットを  
用いて、コンフィギュレーション化可能なモジュールのセル装置における個別のコンフィ  
ギュレーション化可能なエレメントまたはその群を再コンフィギュレーションする方法で  
あって、

コンフィギュレーションデータは前記コンフィギュレーションデータ送信ユニットからス  
イッチング・テーブルに送信され、

該スイッチング・テーブルは該コンフィギュレーションデータ送信ユニットからのコンフ  
ィギュレーションデータを収容するためのコンフィギュレーションメモリと制御部とを有  
しており、該制御部は、読み出しおよび/または書き込み位置ポインタをそこで選択され  
かつ前記エレメントまたはその群から通報されたイベントまたはこの種のイベントの組み  
合わせの到来にตอบสนองしてコンフィギュレーションメモリ場所に移動させるように構成され  
ておりかつこうして該制御部によって予め定められた、コンフィギュレーションメモリの  
場所にてかつ選択されたイベントにตอบสนองして、コンフィギュレーションデータが前記コン  
フィギュレーションメモリから個々のコンフィギュレーション化可能なエレメントまたは  
その群に伝送される

ことを特徴とする方法。

【発明の詳細な説明】

発明の背景

従来の技術

今日使用されているプログラミング可能なモジュール（DFP=Datenflußprozessoren, FPG=Field Programmable Gate Arrays）は2つの異なった形式においてプログラミングすることができる：

1. 1回限り、即ちプログラミング後、コンフィギュレーションをもはや変更することは

10

20

30

40

50

できない。従って、モジュールのすべてのコンフィギュレーション化されたエレメントは、使用されている時間間隔全体にわたって同じ機能を実施する。

2. 作動中、即ち、コンフィギュレーションは、モジュールの組み込み後、コンフィギュレーションファイルのロードによって、使用のスタート開始時に変更することができる。大抵のモジュール（殊に、FPGAモジュール）は、作動期間中、これ以上は再コンフィギュレーションは行われない。再コンフィギュレーション化可能なモジュールでは、再コンフィギュレーションを行う期間のデータの引き続く処理は大抵は可能ではなくかつ所要時間は著しく大きすぎる。

プログラミング可能なモジュールには、ハードウェアインタフェースによってモジュールのコンフィギュレーションデータがロードされる。この過程は緩慢でかつ大抵、コンフィギュレーションデータがファイルされている外部メモリに対して、制限された帯域幅に基づいて、数百ミリ秒を必要とする。その後、プログラミング可能なモジュールは、コンフィギュレーションファイルにおいて記述されているような所望の／プログラミングされた機能において使用されるようになる。コンフィギュレーションは、任意の長さの特有のビットパターンをモジュールのコンフィギュレーション化可能なエレメントにエントリすることによって生じる。コンフィギュレーション化可能なエレメントは、例えば、すべての種類のRAMセル、マルチプレクサ、ネットワークのためのエレメントまたはALU（＝Arithmetic Logic Unit：プロセッサの中央機能ブロック）とすることができる。コンフィギュレーション語は、このようなエレメントに記憶されるので、エレメントはコンフィギュレーション語によって調整設定されたそのコンフィギュレーションを作動の時間期間にわたって維持する。

#### 問題

現存する方法および手法には一連の問題がある。これらは次のようなものである：

1. DFT（ドイツ連邦共和国特許出願公開第4416881号公報参照）またはFPGAにおけるコンフィギュレーションを変更しようとするとき、コンフィギュレーションの非常に小さな部分しか変更すべきでない場合でも、コンフィギュレーションファイル全体をプログラミングすべきモジュールに伝送することがいつでも必要である。

2. 新しいコンフィギュレーションのロードの期間、モジュールはデータを引き続き処理できないまたはできたととしても非常に制限されている。

3. モジュール当たりのコンフィギュレーション化可能なエレメントの数がますます大きくなることによって（殊に、FPGAモジュールにおいて）、これらのモジュールのコンフィギュレーションファイルは同様にますます大きくなる（この間に、数百キロバイトのデータ）。それ故に、大きなモジュールにコンフィギュレーションを行うことは非常に長い時間がかかりかつこのために実行時間中の再コンフィギュレーション化はしばしば不可能になりまたはモジュールの動作が妨げられる。

4. 実行時にモジュールを部分コンフィギュレーション化する場合、いつも、中央のロジック・エンティティが利用される。このエンティティを介してすべての再コンフィギュレーション化が管理される。このために、非常に高い交通および同期コストがかかることになる。

#### 発明による改良

本発明によってプログラミング可能なモジュールの再コンフィギュレーション化が著しく高速に可能である。本発明により、プログラミング可能なモジュールの種々様々なコンフィギュレーションの、実行時でのフレキシブルな利用が可能になり、しかもこの場合プログラミング可能なモジュールの動作能力が妨げられることもないし、停止されることもない。モジュールのコンフィギュレーションの変更は同時に実施され、従って、状況によっては、別のコンフィギュレーションデータを伝送する必要なしに、非常に高速に行うことができるようになっている。この方法は、あらゆる種類の、コンフィギュレーション化可能なモジュールのコンフィギュレーション化可能なエレメントに対して、並びにあらゆる種類のコンフィギュレーションデータに対して、モジュール内部でこれらがどんな目的のために定められているかに無関係に、使用することができる。本発明によって、従来のモ

10

20

30

40

50

ジュールのスタチックな制限を取り除きかつ既存のコンフィギュレーション可能なエレメントの利用度の改善を実現することができる。一時メモリを導入することによって、同一のデータを介して多数の種々様々な機能を実施することができる。詳細および特別な実施例、並びに本発明のバスシステムの特徴は従属請求項の対象である。

#### 発明の説明

##### 発明の概観、要約

プログラミング可能なモジュールには、多数のリングメモリが存在している。それは、独自のアドレス制御部を有しているメモリである。このアドレス制御部は、それがメモリの終わりに達したとき、その始めにおいて更に作動するので、これによりリングが生じる。このリングメモリは、書き込みかつ読み出しながら、コンフィギュレーションレジスタ、即ち、コンフィギュレーションすべきエレメントの、コンフィギュレーションデータを受け取る回路にアクセスすることができる。この種のリングメモリは所定数のエントリを有し、これらエントリは、ドイツ連邦共和国特許出願公開第 4 4 1 6 8 8 1 号公報に記載されているように、ロードロジックによって、コンフィギュレーションデータがロードされる。その際エントリの構成は、そのデータフォーマットがリングメモリに接続されているコンフィギュレーション化可能な単数または複数のエレメントに相応しかつ有効なコンフィギュレーションの調整設定を実現するように選択されている。

更に、読み出し位置ポインタが存在し、これは、リングメモリのエントリの 1 つを実読み出しエントリとして選択する。読み出し位置ポインタは、リングメモリ内の任意の位置／エントリに対する制御によって移動させることができる。更に、書き込み位置ポインタが存在し、これは、リングメモリのエントリの 1 つを実書き込みエントリとして選択する。書き込み位置ポインタは、リングメモリ内の任意の位置／エントリに対する制御によって移動させることができる。

実行時に、このリングメモリを介して、コンフィギュレーション語をコンフィギュレーションすべきエレメントに伝送して、データを中央のロジックによって管理または伝送する必要なしに、再コンフィギュレーションを実施することができる。複数のリングメモリの使用によって、数多くのコンフィギュレーション化可能なエレメントを同時に再コンフィギュレーション化することができる。

リングメモリはコンフィギュレーション化可能なセルの完全な制御によって複数のコンフィギュレーションモード間で切り替わることができるので、これはスイッチング・テーブルと称される。

##### 発明の詳細な説明

プログラミング可能なモジュールまたはこのモジュールに接続されている外部に、多数のリングメモリが存在している。単数または複数のリングメモリに対応して、これらリングメモリを制御する 1 つまたは複数の制御部が設けられている。これら制御部は、ドイツ連邦共和国特許出願公開第 4 4 1 6 8 8 1 号公報に記載されているロードロジックの部分である。リングメモリは、1 つまたは多数のコンフィギュレーション化可能なモジュールのコンフィギュレーション化すべきエレメントに対するコンフィギュレーション語を含んでおり、その際コンフィギュレーション化可能なエレメントは、明らかに、機能群のネットワーク化のためにも用いられかつ従来技術の、バス構造を相互接続するためのクロスバー回路またはマルチプレクサとすることができる。

リングメモリおよびリングメモリの制御部は、ハードウェアに直接に具体化実現することができるが、またはコンフィギュレーションを行うことができるモジュール（例えば F P G A）の 1 つまたは複数のコンフィギュレーションを行うことができるセルのコンフィギュレーション化によって漸く生じるようにすることもできる。

リングメモリとして、従来技術のリングメモリを使用することができる。殊に、次のような特性を有するリングメモリおよび／または制御部を使用することができる：

1. この特性において、全部のエントリは利用されず、かつリングメモリの読み出しおよび／または書き込み位置ポインタがリングメモリの始めまたは終わりにセットされる位置を指示するための能力を有している特性。これは例えば、命令語（STOP, GOTO 等

10

20

30

40

50

）、スタート位置およびストップ位置を記憶するカウンタまたはレジスタによって具体化実現される。

2. リングメモリの、独立したセクションにおける切り離しを可能にしかつリングメモリの制御部を、例えば後で説明するイベントを介して、該制御部がこれらセクションの1つにおいて動作するように調整設定することができる特性。

3. 独立したセクションにおけるリングメモリの切り離しを可能にする特性およびそれぞれ1つのセクションにおいて動作する多数の制御部がある。その際、多数の制御部が同じセクションにおいて動作することもできる。このことはアービタ回路によって実現することができる。この場合、若干の処理サイクルが消失する。更に、RAMに代わってレジスタを使用することができる。

4. それぞれの制御部は1つまたは複数の読み出し位置ポイントおよび／または1つまたは複数の書き込み位置ポイントを有している。

5. これらの位置ポイントは前方向および／または後ろ方向に移動することができる。

6. これらの位置ポイントは、1つまたは複数のイベントに基づいて始め、終わりまたは指定された位置にセットすることができる。

7. 制御部はマスクレジスタを有しており、これを用いて、データ語のエントリにより、多量のすべての可能なイベントから部分量を選択することができる。これら、イベントの部分量だけがイベントとして制御部に転送されかつ1つまたは複数の位置ポイントの先送りトリガする。

8. システムクロック内の複数のエントリの処理を可能にするために、本来のシステムクロックの数倍のクロックによって動作する（オーバサンプリング）制御部。

スイッチング・テーブルの制御は通常のステート・マシンのによって具体化実施される。

1つの従来のリングメモリを必要とする簡単な制御の他に、プログラミング可能なモジュール（殊に、FPGAおよびDPGA（Dynamically Programmable Gate Arrays、FPGAの新しいサブグループ）の、本発明において説明されるスイッチング・テーブルの制御を実施または場合により拡張するために、最も好都合には次のような特性を有する制御部が適している：

1. 特有な命令語を識別することができる制御部。命令語は標識を有していることによって他とは相異している。即ち、この標識によって制御部は、リングメモリのエントリのデータをデータ語としてではなくて、命令語として識別することができる。

2. 特有な命令語を実行することができる制御部。殊に、ステート・マシンのシーケンスを変更するおよび／またはリングメモリのエントリを、データ処理機能によって変更することができるような命令。

3. 識別語を識別することができ、かつこの識別語に基づいて内部の一層高速な（オーバサンプリング）クロックによってリングメモリのその他のエントリを処理する制御部。これは、終わる識別語に達したときまで、またはオーバサンプリング・クロックを制御するクロックの次のクロックサイクルに達したときまで行われる。

命令語を用いた制御を必要とするスイッチング・テーブルの有意義な制御に対する命令語として、特に、直ぐ次に挙げる命令またはこれらの命令の一部が考えられる。位置ポイントに関する命令語は、その都度、1つまたは複数の読み出し位置ポイントに適用することができるが、または1つまたは複数の書き込み位置ポイントに適用することができる。

可能な命令語：

1. WAIT命令。

WAIT命令により制御部は、次のイベントまたは次の（また種々異なった）イベントが到来するまで待つことになる。この状態の間、単数または複数の読み出し／書き込み位置ポイントが先に送られない。1つまたは複数のイベントが到来すると、単数または複数の読み出し／書き込み位置ポイントは次のエントリに位置決めされる。

2. SKIP命令。

SKIP命令はリングメモリの、指定された数のエントリを次の2つの方法のいずれかで飛び越す：

10

20

30

40

50

a. SKIP1命令は揃って1つの処理サイクルにおいて実施される。例えばSKIP5が指定されると、1つの処理サイクルにおいてその時点の読み出し/書き込みエントリから5エントリ前(後ろ)に位置するエントリに飛び越される。

b. SKIP2命令は或る数の処理サイクル後に漸く実施される。ここで、例えば、命令SKIP5は5つの処理サイクル後に漸く実施されるということが考えられる。その際ここでも、その時点のエントリから、5エントリが前方に飛び越される。即ち、パラメータ(この例では5)はこの方法では2回利用される。

飛び越し方向の指定は、極性の付いた数を使用することによって単数または複数の位置ポインタの前方方向においても、後ろ方向においても終わることができる。

3. SWAP命令。

SWAP命令は、2つの指定されたエントリのデータを相互に交換する。

4. RESET命令。

RESET命令は、単数または複数の読み出し/書き込み位置ポインタをリングメモリ内の始めおよび/または指定されたエントリ位置にセットする。

5. WAIT-GOTO命令。

WAIT-GOTO命令は、上述したWAIT命令のように、1つまたは複数のイベントを待ちかつそれから、読み出し/書き込み位置ポインタの、定義された開始状態への位置決めを1つまたは複数の処理サイクル内で実施する。

6. NOP命令。

NOP命令は、動作を実施しない。リングメモリからのデータはコンフィギュレーションを行うべきエレメントに伝送されないし、位置ポインタも変更されない。従ってNOP命令はエントリを重要でないと特徴付けるが、このエントリは、リングメモリの制御部によって応答されかつ評価され、それは1つまたは複数の処理サイクルとして必要である。

7. GOTO命令。

GOTO命令は1つまたは複数の読み出し/書き込み位置ポインタを指定されたエントリ位置に位置決めする。

8. MASK命令。

MASK命令は新しいデータ語をマルチプレクサに書き込み、マルチプレクサが種々異なったイベントを選択する。従って、この命令を用いて、制御部が応答するイベントを変更することができる。

9. LIBACK命令。

LIBACK命令は、ロードロジックに対する応答を発生する(ドイツ連邦共和国特許出願公開第4416881号公報の意味において)。この命令によって、スイッチング・テーブルはモジュールの比較的大きな領域のアンロードを行うことができるようになる。しかし殊にそれ自体のアンロードを。

10. 読み出し/修正/書き込みサイクルをトリガする命令

この命令は別のエントリにある命令またはデータの読み出しを、例えば制御部、ロードロジックまたはスイッチングテーブルの外部にあるエレメントによって実施する。これらデータはそれから、任意の手法で処理されかつ再び、スイッチング・テーブルのリングメモリにおける同じ位置または別の位置に書き込まれる。このことは、スイッチング・テーブルの処理サイクルの時間区間において行うことができる。その場合この過程は、位置ポインタの次の新しい位置決めの前に終了している。

リングメモリのエントリの構成は次のフォーマットを有している：

|        |         |     |
|--------|---------|-----|
| データ/命令 | ラン/ストップ | データ |
|--------|---------|-----|

第1のビットはエントリを命令またはデータ語として特徴付ける。スイッチング・テーブルの制御部は、エントリのデータ部におけるビットチェーンが命令またはコンフィギュレーションデータとして扱われるかどうかを判断する。

第2のビットは、制御部が即刻、別のイベントが到来することがなくても、次のエントリによって続行されるべきであるか、または次のイベントが待たれるべきであるかを特徴付け

10

20

30

40

50

る。オーバサンプリングが使用され、かつRUNビットがセットされると、次のエントリがこのオーバサンプリングクロックを用いて処理される。このことは、エントリがセットされたRUNビットなしに実現される、またはオーバサンプリングクロックレートにおいてシステムクロック内に処理することができるエントリの数に達するまでの間行われる。オーバサンプリング方法が使用されなければ、通常のシステムクロックおよびセットされたRUNビットによって先送りが行われる。RUN(ラン)ビットによって特徴付けられた命令列のシーケンスの期間に到来するイベントが評価されかつトリガ信号がフリップフロップに記憶される。制御部はこのフリップフロップを、セットされたRUNビットのないエントリに達したとき、再び評価する。

エントリの残りは、種類に応じて(データまたは命令)すべての必要な情報を含んでいるので、その結果制御部はそのタスクを完全に実施することができる。 10

リングメモリの大きさは用途に応じて具体化実現可能であり、殊にこのことは、リングメモリが1つまたは複数のコンフィギュレーション化可能なセルのコンフィギュレーション化によって生じるプログラミング可能なモジュールに対して当てはまる。

その際リングメモリは、コンフィギュレーションを行うべき元素、またはコンフィギュレーションを行うべき元素の群に、選択されたコンフィギュレーション語(リングメモリにおける)がコンフィギュレーションを行うべき元素、またはコンフィギュレーションを行うべき元素の群のコンフィギュレーションレジスタにエントリされるように接続されている。

これにより、コンフィギュレーションを行うべき元素、またはコンフィギュレーションを行うべき元素の群の有効かつ作業能力のあるコンフィギュレーションが生じる。 20

それぞれのリングメモリは、1つの制御部または複数の制御部を有しており、これらは読み出し位置ポインタおよび/または書き込み位置ポインタの位置決めを制御する。

制御部は、ドイツ連邦共和国特許出願公開第4 4 1 6 8 8 1号公報に記載されている応答チャネルを用いて、モジュールの別の元素にまたはモジュール内で伝送される外部のイベントによって(例えば割り込み、I/Oプロトコル等)応答することができかつこれら内部または外部のイベントに対する応答として、読み出し位置ポインタおよび/または書き込み位置ポインタを別のエントリに動かす。

イベントとして例えば次のものが考えられる： 30

1. 計算装置のクロックサイクル。
2. 内部または外部の割り込み信号。
3. モジュール内の別の元素のトリガ信号。
4. データフローおよび/または命令フローの、或る値との比較。
5. 入力/出力イベント。
6. カウンタの作動、オーバフロー、新たなセット等。
7. 比較の評価。

モジュールに複数のリングメモリがあるのであれば、各リングメモリの制御部は種々異なったイベントに応答するようにすることができる。

読み出し位置ポインタが新しいエントリに移る度毎に、このエントリに含まれているコンフィギュレーション語が、リングメモリに接続されている1つのコンフィギュレーション化可能な元素または複数のコンフィギュレーション化可能な元素に伝送される。 40

この伝送は、再コンフィギュレーション化には関係しない、モジュールの部分の動作手法が考慮されないように行われる。

単数または複数のリングメモリは、モジュール内にあってよいが、外部のインタフェースを介して、外部からモジュールに接続されるようにしてもよい。

その際モジュール当たりに複数の独立したリングメモリも考えられる。これらのリングメモリはモジュールの1つの区域にまとめることができるが、または効果的な方法で、モジュールの面にわたって分配されて配置されている。 50



コンフィギュレーションデータは、ドイツ連邦共和国特許出願公開第4 4 1 6 8 8 1号公報から公知のようなロードロジックによって、またはモジュールの別の内部セルによってスイッチング・テーブルのメモリにロードされる。その際コンフィギュレーションデータを、ロードロジックによって、またはモジュールの別の内部セルによって同時に複数の種々異なったスイッチング・テーブルに伝送して、スイッチング・テーブルの同時のロードを可能にすることもできる。

その際コンフィギュレーションデータは、データ処理装置の主メモリ内にあってもよくかつロードロジックに代わって、DMAまたはプロセッサ制御されるデータトランスファのような公知の方法によって伝送することができる。

ロードロジックによるスイッチング・テーブルのリングメモリのロードの後、スイッチング・テーブルの制御部はスタート状態にセットされ、モジュール全体またはモジュールの部分の有効なコンフィギュレーションを調整設定する。そこでスイッチング・テーブルの制御部は、到来するイベントに対する応答として、読み出し位置ポインタおよび/または書き込み位置ポインタの新たな位置決めを始める。

新しいデータの、1つのスイッチング・テーブルまたは多数のスイッチング・テーブルへのロードを開始するために、制御部は信号をロードロジックに、ドイツ連邦共和国特許出願公開第4 4 1 6 8 8 1号公報の意味において、または新しいデータの、スイッチング・テーブルのリングメモリへのロードを行っている、モジュールの別の内部部分に返送することができる。この種の応答のトリガは、特有の命令の評価、カウンタ状態によって行うことができるが、または外部から(ドイツ連邦共和国特許出願第1 9 6 5 1 0 7 5、9号明細書のステート・バック・ユニットにおいて記載されているように)行うことができる。ロードロジックまたはモジュールの別の内部セルはこの信号を評価し、この信号の場合によっては変更されたプログラム実行によって応答し、かつ新しいまたは別のコンフィギュレーションデータを単数または複数のリングメモリに伝送する。そこでその場合、信号の評価に基づいてデータ伝送に関与しているリングメモリのデータだけを伝送すればよい。もはやモジュール全体のコンフィギュレーションデータを伝送する必要はない。

一時メモリ

個々のコンフィギュレーション化可能なエレメントまたはその群(以下に機能エレメントと称する)に1つのメモリを接続することができる。このメモリの実現のために従来技術による多数の方法を使用することができ、殊に、F I F Oが適している。機能エレメントによって生成されるデータはメモリに、データパケットが同じ実施すべき演算によって処理されるまでの間、またはメモリが一杯になるまでの間記憶される。その際スイッチング・テーブルを介してコンフィギュレーションエレメントが再コンフィギュレーション化され、即ちエレメントの機能は変化する。その際スイッチング・テーブルに対するトリガ信号として、メモリが一杯であることを指示するフルフラグを用いることができる。データ量を任意に決定することができるようにするために、フルフラグの位置がコンフィギュレーション化可能であり、即ちメモリは同様に、スイッチング・テーブルによってコンフィギュレーションを行うことができる。メモリにおけるデータは、コンフィギュレーションエレメントに導かれかつデータに関する新しい演算が実施される。データは、新しい計算に対するオペランドである。その際メモリからのデータだけを処理することができ、または更に、別のデータが外部から(モジュールの外部または別の機能エレメントから)到来する。データの処理の際、これら(演算の結果)は後続のコンフィギュレーションエレメントに転送することができ、または再度、メモリに書き込むことができる。メモリに対して書き込むアクセスも読み出すアクセスも可能にするために、メモリは2つのメモリバンクから成っていることができ、これらメモリバンクは交替的に処理されるかまたは同一のメモリに対する別個の読み出しおよび書き込み位置ポインタが存在している。特別な実施の形態は、複数の、上述したメモリの接続である。これにより、複数の結果を別個のメモリにファイルしかつ所定の時点で、所定の機能を実施するために、複数のメモリ領域が同時に1つの機能エレメントの入力側に導かれかつ計算に組み入れられる。

リングメモリのエントリの構成

10

20

30

40

50

次に、ドイツ連邦共和国特許出願公開第4416991号公報に記載されているように、データ処理装置に使用されるスイッチング・テーブルのリングメモリへのエントリの可能な構成について説明する。次の表には、命令語の個別ビットに基づいた命令構成が記述されている：

| ビット番号 | 名 前     | 意 味                     |
|-------|---------|-------------------------|
| 0     | データ/命令  | エントリをデータ語または命令語として特徴付ける |
| 1     | ラン/ストップ | ランモードまたはストップモードを特徴付ける   |

10

従って、エントリがデータエントリであれば、ビット番号0は値0を有し、即ち位置2からのビットは次の意味を有している：

| ビット番号 | 名 前            | 意 味                                 |
|-------|----------------|-------------------------------------|
| 2～6   | セル番号           | 一緒にスイッチングテーブルを使用する、グループ内のセルの番号を指定する |
| 7～11  | コンフィギュレーションデータ | セル（例えばEALU）を実施すべき機能を指定する            |

20

従って、エントリが命令であれば、ビット番号0は値1を有し、即ち位置2からのビットは次の意味を有している：

| ビット番号 | 名 前             | 意 味  |
|-------|-----------------|--|
| 2～6   | 命令の番号           | スイッチング・テーブルの制御によって実施される命令の番号を指示する            |
| 7     | 書き込み/読み出し位置ポインタ | 命令がリングメモリの書き込みまたは読み出し位置ポイントに適用されるべきかどうかを指示する |
| 8～n   | データ             | 命令に応じて、ビット8から命令のために必要とされるデータが記憶される           |

30

40

次の表には、ここに挙げるそれぞれの命令に対するビット2～6および8～nの意味が示されている。データ語のビット幅全体は、スイッチング・テーブルが使用される使用のモ

50

ジュールに依存している。ビット幅は、命令のために必要なすべてのデータが位置 8 からのビットにおいてコード化することができるように、選択すべきである。

| 命 令           | ビット     | ビット 8~n 意 味  |
|---------------|---------|--|
| WAIT          | 00 00 0 | 何回イベントを待つべきかの数                                       |
| SKIP1         | 00 00 1 | 前方に（負であれば後方に）いくつのエン<br>トリを飛び込すべきであるかを指示する極<br>性の付いた数 |
| SKIP2         | 00 01 0 | SKIP1参照  |
| SWAP          | 00 01 1 | 1.エントリ位置、2.エントリ位置                                    |
| RESET         | 00 10 0 | 位置ポインタがセットされるべきエントリ<br>の番号                           |
| WAIT-<br>GOTO | 00 10 1 | 何回イベントを待つべきかの数と続いて位<br>置ポインタがセットされるべきエントリの<br>番号     |
| NOP           | 00 11 0 | 機能なし   |
| GOTO          | 00 11 1 | 位置ポインタがセットされるべきエントリ<br>の番号                           |
| MASK          | 01 00 0 | マルチプレクサにおいてイベントの選択の<br>ためにエントリされるビットパターン             |
| LLBACK        | 01 00 1 | ロードロジックに対するトリガ信号が生成<br>される（応答）                       |

#### A L U の再コンフィギュレーション化

更に、A L U を制御するために 1 つまたは複数のスイッチング・テーブルを使用することが考えられる。本発明は、例えば、スイッチング・テーブルが M / F - P L U R E レジスタに接続されるまたは M / F - P L U R E レジスタ全体がスイッチング・テーブルによって置換されるドイツ連邦共和国特許第 1 8 6 5 1 0 7 5 . 9 号明細書の改良として利用することができる。

#### 【図面の簡単な説明】

第 1 図は、リングメモリの基本的な構成を示し、

第 2 図は、リングメモリの内部構成を表し、

第 3 図は、選択可能な作業領域を有するリングメモリを示し、

第 4 図は、リングメモリおよびリングメモリの種々異なったセクションに対する複数の書き込みおよび読み出し位置ポインタを介して作業することができる制御部を示し、

第 5 図は、が種々異なるセクションにける種々異なった制御部がアクセスするリングメモリを表し、

第 6 図は、リングメモリと、コンフィギュレーション化可能なエレメントとの接続を示し、

第 7 図は、種々異なったトリガ信号に応答することができるようにするためにロジックを有する制御部を示し、a) はトリガパルスに対するマスクの実現を示し、

10

20

30

40

50

第8図は、制御部に対するクロック発生器を示し、  
 第9図は、コンフィギュレーションを行うべきエレメントのコンフィギュレーション化を可能にするために、制御部と内部セルとの相互接続を示し、  
 第10図は、リングメモリにファイルされている命令の、制御部による処理を説明し、  
 第11図は、リングメモリに記憶されているデータの処理を説明し、  
 第12図は、2つのメモリバンクから成る一時メモリの、コンフィギュレーション化可能な多数のエレメントに対する接続を示し、a~dはデータ処理のシーケンスを示し、  
 第13図は、別個の書き込み/読み出しポインタを有する一時メモリの、多数のコンフィギュレーション化可能な多数のエレメントに対する接続を示し、  
 第14図は、別個の書き込み/読み出しポインタを有する一時メモリの機能の手法を示し

10

第15図は、それぞれ2つのメモリバンクから成る2つの一時メモリの、コンフィギュレーション化可能な多数のエレメントに対する接続を示し、a~cはデータ処理のシーケンスを示す。

図面の詳細な説明

第1図には、リングメモリの基本構成が示されている。それは、書き込み位置ポインタ0101と読み出し位置ポインタ0102とから成っている。これらポインタはメモリ1030にアクセスする。このメモリはRAMまたはレジスタとして実現されていてよい。書き込み/読み出し位置ポインタを用いて、RAMのアドレス0104が選択される。このアドレスに、選択されたアクセス形式に依存して、入力データを書き込み、またはそのデータを読み出すことができる。

20

第2図には、単純なリングメモリの内部構成が示されている。書き込み/読み出し位置ポインタに対してそれぞれ1つのカウンタが使用できるようになっている。0201は読み出し位置ポインタ0204のカウンタを表しかつ0206は書き込み位置ポインタ0205のカウンタである。2つのカウンタ0201、0206はそれぞれ、大域的なリセット入力側と、計数方向を決めるアップ/ダウン入力側を有している。入力側にカウンタの出力が加わるマルチプレクサ0202を介して、メモリ0203のアドレスを指示する書き込み位置ポインタ(0205)と読み出し位置ポインタ(0204)とが切り換えられる。書き込みアクセスおよび読み出しアクセスは信号207を介して実施される。書き込みアクセスまたは読み出しアクセスの都度、それぞれのカウンタは1位置づつ歩進計数される。そこで、書き込み位置ポインタ(0205)と読み出し位置ポインタ(0204)がメモリの最後の位置(アップ方向に計数するカウンタの場合は最後のアドレスまたはダウン方向に計数するカウンタの場合は最初のアドレス)を示すと、書き込みまたは読み出し位置ポインタ0205、0204は次のアクセスでメモリ0203の最初の位置にセットされる(アップ方向に計数するカウンタの場合は最初のアドレスまたはダウン方向に計数するカウンタの場合は最後のアドレス)。このようにして、リングメモリの機能が生じる。

30

図3には、通常のリングメモリの拡張が示されている。この拡張された構成では、書き込み位置ポインタ0311のカウンタ0303および読み出し位置ポインタ0312のカウンタ0309は1つの値をロードすることができるので、メモリのそれぞれのアドレスは直接調整設定することができる。このロード過程は通例のように、カウンタのデータおよびロード入力側を介して行われる。更に、リングメモリの作業領域を内部メモリ0306の所定のセクションに制限することができる。このことは、書き込み位置ポインタ0311のカウンタ0303および読み出し位置ポインタ0312のカウンタ0309を制御する内部ロジックによって行われる。このロジックは次のように構成されている：カウンタ(0303、0309)の出力側はそれに属するコンパレータ(0302、0308)の出力側に導かれる。そこで、それぞれのカウンタの値が、それぞれのデータレジスタ(0301、0307)の値と比較される。データレジスタには、飛び越し位置、即ちリングメモリのセクションの終わりが記憶されている。2つの値が一致すると、コンパレータ(0302、0308)は信号をカウンタ(0303、0309)に送出する。そこでカウ

40

50

ンタは、飛び越しの目標アドレスに対するデータレジスタ（0304, 0310）から値、即ちリングメモリのセクションの始めをロードする。飛び越し位置に対するデータレジスタ（0301, 0307）および飛び越しの目標アドレスに対するデータレジスタ（0304, 0310）はロードロジック（ドイツ連邦共和国特許出願公開第4416881号公報参照）によってロードされる。この拡張によって、リングメモリが内部メモリの全部の領域を使用せず、選択された部分だけを使用することが可能である。更に、このような書き込み／読み出し位置ポインタ（0311, 0312）を複数個使用する場合、メモリを種々のセクションに分割することができる。

第4図には、複数のセクションに分配されているリングメモリの構成が示されており、その際制御部401はこれらセクションの1つにおいて動作する。制御部は第7図に基づいて詳細に説明する。リングメモリを複数のセクションに分割できるようにするために、その構成が第3図に示されていた、複数の書き込み／読み出し位置ポインタ0402, 0408が使用される。その際制御部は、それが動作する領域をマルチプレクサ0407を介して選択する。書き込みまたは読み出しアクセスはマルチプレクサ0403を介して選択される。従って、メモリ0404のアドレスは選択された書き込み／読み出し位置ポインタによってアドレッシングされる。

第5図には、複数の制御部0501が制御部につきそれぞれ1つの書き込みおよび読み出し位置ポインタ0506, 0502を介してリングメモリの固有の領域において動作する例が示されている。その際それぞれの制御部0501には書き込み位置ポインタ0506および読み出し位置ポインタ0502が配属されている。複数の書き込みおよび読み出し位置ポインタ0506, 0502のいずれかがメモリ0504にアクセスするかは、マルチプレクサ0505を介して選択される。マルチプレクサ0503を介して書き込みアクセスまたは読み出しアクセスが選択される。制御部0501の書き込み／読み出し信号はマルチプレクサ0507を介してメモリ0504に達する。マルチプレクサ0507, 0505, 0503の制御信号は制御部0501からアービタ0508を介してマルチプレクサに行く。アービタ0508によって、複数の制御部が同時に、マルチプレクサ0507, 0505, 0503にアクセスすることが妨げられる。

第6図には、リングメモリ0601およびコンフィギュレーションエレメント0602との接続が示されている。リングメモリ0601は0604, 0605, 0606を介して接続されている。0604を介して問題のセル0607のアドレスが伝送される。線路0605はリングメモリからコンフィギュレーションデータを伝送する。セル0607は線路0606を介して、再コンフィギュレーション化が可能であるかどうかの応答を伝送する。リングメモリにファイルされているデータはコンフィギュレーションエレメント0602にエントリされる。このコンフィギュレーションエレメント0602はコンフィギュレーション化可能なエレメント0603のコンフィギュレーションを決定する。コンフィギュレーション化可能なエレメント0603は例えば論理ユニット、ALUから成っていることができる。

第7図には、種々異なったトリガイベントに応答することができる制御部が示されている。その際個々のトリガイベントはマスキング可能であるので、常に、1つのトリガイベントのみがあるものと見なされる。このことはマルチプレクサ0701によって行われる。トリガ信号はフリップフロップ0704によって記憶される。ANDゲートを介してマスクとして構成することができ、マルチプレクサ0702（第7a図参照）は、ロー・アクティブなトリガ信号およびハイ・アクティブなトリガ信号を処理することができるようにするために用いられる。フリップフロップに記憶されているトリガ信号は0705を介してクロック発生部に転送される。クロック発生部については第8図を用いて説明する。ステートマシン0703にはクロック発生のためのロジックからクロック（CLK）が供給されかつその入力信号に依存して出力信号と、フリップフロップ0704をリセットしかつ次のトリガ信号まで処理を停止するためにリセット信号を送出する（CLR）。この具体例の利点は、クロック遮断時の電流節約である。というのは、その場合ステートマシン0703はスタチックだからである。クロックが常に加わっていて、ステートマシ

10

20

30

40

50

ーンが命令デコーダおよびラン・ビットの状態によって制御される具体化実施も同様に考えられる。

第7 a 図には、トリガ信号のマスクングが示されている。トリガ信号およびAの線路は、ANDゲート0706の入力側に接続されている。ANDゲート0706の出力側は0707にOR結合されていて、出力信号を発生する。

第8図には、ステートマシーンに対するクロック発生のためのロジックが示されている。0801において、PLLを用いて別のクロックが発生される。それからマルチプレクサ0802を介して、通常のチップクロックかまたはPLL0801のクロックが使用されるかを選択することができる。ORゲート0804には信号CおよびBが加わる。信号Cは制御部におけるトリガイベントに基づいて発生される(第7図の0705参照)。信号Bは命令語のビット1から(第10図の1012参照)から到来する。このビットは、ラン・フラグの機能を有しているため、制御部はラン・フラグがセットされている場合にトリガパルスに無関係に引き続き動作する。ORゲート0804の出力側はマルチプレクサ0802の出力によって決められかつこのようにしてステートマシーンに対するクロックを生成する。

第9図には、制御部0907と、メモリ0901を有するロードロジック0902と、リングメモリ0906と、コンフィギュレーション可能なエレメント0905と、コンフィギュレーションエレメント0908と、コンフィギュレーションのために利用される内部セル0903との間の接続が示されている。ここで、コンフィギュレーションのために利用される内部セル0903は、コンフィギュレーション可能なエレメント0905と、コンフィギュレーションエレメント0908とを有する通常のセルとして示されている。リングメモリ0906はコンフィギュレーションエレメント0908に接続されておりかつ制御部0907によって制御される。制御部0907は種々異なったトリガパルスに応答し、その際これらトリガパルスは、コンフィギュレーションのために使用される内部セル0903から到来する可能性もある。応答チャネル0909を介して、制御部0907は、トリガイベントに基づいて、新しいデータがリングメモリ0906にロードされるべきであるとき、ロードロジック0902に通報する。この応答の送出に対して付加的に、制御部0907は更に、信号をマルチプレクサ0904に送出しかつ、ロードロジック0902からのデータがリングメモリに送出されるのかまたはコンフィギュレーションのために使用される内部セル0903からデータがリングメモリに送出されるのかを選択する。ロードロジックによるリングメモリのコンフィギュレーションの他に、リングメモリを次のように調整設定することができる:コンフィギュレーション可能なエレメント0903は、単独またはエレメント群の最後のエレメントとして、リングメモリ0906に対するエントリを生成するように接続されている。このモードにおいて、マルチプレクサ0904は0903からのデータをリングメモリに通し、一方ロードロジックによるコンフィギュレーションではロードロジックからのデータが通し接続される。固体的に具体化実現されている別の機能ユニットをコンフィギュレーション信号のソースとして用いることも勿論考えられる。

第10図には、リングメモリにファイルされている命令の、制御部による命令処理が示されている。1001は、次のビット分配を有するリングメモリのメモリを表している。ビット0はデータまたは命令ビットとしてのエントリを特徴付けている。ビット1はランおよびストップモードを特徴付けている。ビット2〜6は命令をコード化する命令番号を表すものである。ビット7は、読み出し位置ポインタに対する命令または書き込み位置ポインタに対する命令が使用されるかを指示する。命令が位置ポインタに影響を及ぼさなければ、ビット7は定義されていない。ビット8〜nには命令のために必要なデータがファイルされる。カウンタ1004、1005は、リングメモリに属している書き込み/読み出し位置ポインタを形成する。制御部がトリガパルスを受信すると、ステートマシンのパルスを読み出し位置ポインタに送出する。書き込み位置ポインタは、命令の読み出しのために必要ではなく、データを、リングメモリにエントリするためにだけ利用される。選択された読み出し位置ポインタは、1つの位置だけ進められかつ新しい命令が選択される(

10

20

30

40

50

ビット0=0)。次に命令デコーダ1002には、ビット2～6およびビット7が加わり、デコード化されかつ結果はステートマシンに転送される(1024)。ステートマシンはどの命令が生じているのかを識別しかつ相応に切り替わる。

◎ 命令スキップビットであれば、ステートマシン1011はパルスを加算器/減算器1006に送出して、それがマルチプレクサ1003を介して供給される、カウンタ1004、1005からのデータに対して、ビット8～nからの命令語のデータを加算または減算するようにする。マルチプレクサ1003はビット7に依存して、書き込み位置ポインタのカウンタ1004または読み出し位置ポインタのカウンタ1005を選択する。データが加算/減算された後、ステートマシン1011はゲート1010を活性化しかつ引き受け信号をカウンタ1004、1005に送出する。これにより、選択された位置ポインタは、スキップ命令のデータに指示されている数の位置だけ前方または後方に位置を指示する。

10

◎ GOTO命令の場合、ステートマシン1011によってゲート1007が活性化され、その結果データはビット7に依存して、書き込みまたは読み出し位置カウンタ1004、1005に達しかつそこで引き受けられる。

◎ MASK命令の場合、データはラッチ1008に引く受けられかつそこに記憶される。それからこれらのデータは第7図/第7a図に示されている制御部の接続路Aを介して用意されかつそこで、トリガパルスが引き受けられるべきではないすべてのトリガ入力側をマスクする。

◎ WAIT命令の場合、データビット中に指示される数だけイベントが待たれる。ステートマシン1011によってこの命令が記録されると、それは1つのパルスを待ちサイクルカウンタ1009に送出し、このカウンタがデータを引き受ける。そこでサイクルカウンタはステートマシン1011から転送されるイベントの都度、1桁下方に計数する。このカウンタが零まで計数するや否や、キャリーフラグがセットされかつステートマシン1011に送出される(1023)。このキャリーフラグによってステートマシンはそれ以降引き続き動作する。

20

◎ WAIT-GOTO命令の場合、待ちイベントの数を指示するデータが待ちサイクルカウンタに引き受けられる。データにおいて指示されているイベントの数に達すると、ステートマシンはゲート1007を活性化しかつ飛び越し位置に対するデータを選択されたカウンタに転送する。

30

◎ SWAP命令は、リングメモリの2つの位置の間で2つのエントリを交換するために用いられる。ラッチ1017に、交換すべき第1のエントリのアドレスが記憶され、ラッチ1018に、交換すべき第2のエントリのアドレスが記憶される。これらのアドレスは書き込み/読み出しポインタのマルチプレクサ1015および1016に転送される。まず、1016を介してエントリ1が選択されかつラッチ1019に記憶され、その後1016を介してエントリ2が選択されかつ1020に記憶される。1015を介して書き込みポインタが第1のエントリにセットされかつゲート1022を介してエントリ2のその前のデータが記憶される。その後1015を介して書き込みポインタは第2のエントリにセットされかつゲート1021を介してエントリ1のかつてのデータが記憶される。

◎ ステートマシン1011は、1014を介して応答をロードロジック(例えばステート・バック・ユニットを介して、ドイツ連邦共和国特許出願第19651075.9号明細書参照)に送出する。この接続線路を介してステートマシンは、LLBack命令が記録されるや否や、信号を送出する。

40

◎ ラン・フラグとして用いられるビット1は、第8図に示されている、制御部のクロック生成部に送出される。

◎ NOP命令はステートマシンに記録されるが、演算は実施されない。

第11図には、リングメモリに記憶されているデータ語処理が示されている。データ語であるので、ビット0は1にセットされている。命令デコーダ1107は、データ語であることを識別しかつ再コンフィギュレーション化が可能であるかどうかの質問1106をビット2～6においてアドレス指定されているセルに送出する。質問の送出は、ゲート11

50

02の活性化と同時に行われ、これによりセルのアドレスが伝送される。セルは1105を介して再コンフィギュレーション化が可能であるかどうか指示する。可能であれば、コンフィギュレーションデータをセルに伝送するために、ゲート1103が操作される。再コンフィギュレーション化が可能でなければ、処理は引き続き実行されかつリングメモリにおける次の循環において再コンフィギュレーション化が新たに試行される。このシーケンスを次のように変形することもできる。ステートマシンはゲート1102および1103を活性化しかつデータをアドレス指定されたセルに伝送する。セルの再コンフィギュレーションが可能であれば、セルは1105を介してデータの受信を確認応答する。再コンフィギュレーションが可能でなければ、セルは受信信号を送出せずかつリングメモリの次の循環において再コンフィギュレーションが新たに試行される。

10

第12図には、コンフィギュレーション化可能なエレメント(1201)の群(機能エレメント)(1202)が図示されている。データは入力バス(1204)を介して機能エレメントに達しかつ結果は出力バス(1205)を介して先に送られる。その際1205はとりわけ、2つのメモリバンク1203に送出され、これらメモリバンクは交互にその都度一方が書き込みメモリまたは読み出しメモリとして動作する。これらメモリの出力側は入力バス(1204)に接続されている。全体の回路はスイッチングテーブルに通じるバスを介して(1206)コンフィギュレーション化することができ、その際スイッチングテーブルに対するトリガ信号もスイッチングテーブルからのトリガ信号もこのバスを介して伝送される。その際機能エレメントの機能の他に、瞬時的にアクティブな書き込み/読み出しメモリおよびそれぞれのメモリのメモリ深度が調整設定される。

20

第12a図には、外部(1204)、即ち別の機能ユニットまたはモジュールの外部からのデータがどのように機能エレメント(1202)において計算されかつそれから書き込みメモリ(1210)に書き込まれるかが示されている。

第12b図には、第12a図の次のステップが示されている。機能エレメント1202およびメモリ1220、1221は機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って1206を介して再コンフィギュレーション化された。書き込みメモリ1210は今や、読み出しメモリ(1220)としてコンフィギュレーション化されておりかつ機能エレメントに対してデータを送出する。結果は書き込みメモリ1221に記憶される。

30

第12c図には、第12b図の次のステップが示されている。機能エレメント(1202)およびメモリ(1230、1231)は機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って1206を介して再コンフィギュレーション化された。書き込みメモリ1221は今や、読み出しメモリ1230としてコンフィギュレーション化されておりかつ機能エレメントに対するデータを送出する。結果は書き込みメモリ1231に記憶される。この例において、外部(1204)、即ち別の機能ユニットまたはモジュールの外部から付加的なオペランドが一緒に計算される。

第12d図には、第12c図の後の次のステップが示されている。機能エレメント(1202)およびメモリ(1203、1240)は、機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って1206を介して再コンフィギュレーション化された。書き込みメモリ(1231)は今や、読み出しメモリ(1240)としてコンフィギュレーション化されておりかつ機能エレメントに対するデータを送出する。結果は出力バス(1205)を介して転送される。

40

第13図には、第12図の回路が示されており、その際2つのメモリバンクの代わりに、別個の書き込みポイントおよび読み出しポイントを有するメモリが使用されている(1301)。

第14図には、第13図のメモリ(1401)が示されている。1402は読み出し位置ポイントであり、ポイントの前のエントリは既に読み出されているかまたは空いている(1405)。ポイントは空いているポイントを指示する。読み出し位置ポイントの後ろにデータ(1406)があり、これらはまだ読み出されなければならない。その後は空いている空間(1404)および既に新しく書き込まれたデータ(1407)が続いている

50



。書き込み位置ポインタ（１４０３）は、空であるかまたは既に読み出された空いているエントリを指示する。メモリは、既述のように、リングメモリとして構成することができる。

第１５図には、第１２図の回路が示されており、その際２つのメモリバンク（１２０３）は２重に存在している。これにより、複数の結果を記憶しかつその後一緒に処理することができる。

第１５a図には、外部（１２０４）、即ち別の機能ユニットまたはモジュールの外部からのデータが、どのように機能エレメント（１２０２）において計算されかつそれからバス１５１１を介して書き込みメモリ（１５１０）に書き込まれるかが示されている。

第１５b図には、第１５a図の次のステップが示されている。機能エレメント（１２０２）およびメモリ（１２０３、１５１０、１５２０）は、機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って１２０６を介して再コンフィギュレーション化された。その際外部（１２０４）、即ち、別の機能ユニットまたはモジュールの外部からのデータが機能エレメント（１２０２）において計算されかつそれからバス１５２１を介して書き込みメモリ（１５２０）に書き込まれる。

第１５c図には、第１５b図の次のステップが示されている。機能エレメント（１２０２）およびメモリ（１２０３、１５３０、１５３１、１５３２）は機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って１２０６を介して再コンフィギュレーション化された。書き込みメモリ（１５０１、１５２０）は今や読み出しメモリ（１５３１、１５３２）としてコンフィギュレーション化されている。読み出しメモリは複数のオペランドを同時に機能エレメント（１２０２）に送出する。その際それぞれの読み出しメモリ（１５３１、１５３２）はそれぞれ独立したバスシステム（１５３４、１５３５）によって１２０２に接続されている。結果は１５３３を介して書き込みメモリ（１５３０）に記憶されるかまたは１２０５を介して転送される。

#### 概念定義

**ALU** 算術論理ユニット。データの処理のための基本ユニット。このユニットは、加算、減算、状況によっては乗算、除算、級数展開等のような演算を実施することができる。その際、ユニットは整数のユニットまたは浮動小数点ユニットとして構成されていることができる。同様にユニットは、AND、ORのような論理演算並びに比較を実施することができる。

**データ語** データ語は任意の長さのビット列から成っている。このビット列は装置に対する処理単位を表している。データ語においてプロセッサ等モジュールに対する命令並びに純然たるデータがコード化される。

**DFP** ドイツ連邦共和国特許出願公開第４４１６８８１号公報に記載のデータフロープロセッサ。

**DPGA** 従来のダイナミックコンフィギュレーション化可能なFPGA。

**Dフリップフロップ** クロックの上昇側縁において信号を記憶するメモリエレメント。

**EAU** 拡張された算術論理ユニット。ドイツ連邦共和国特許出願公開第４４１６８８１号公報に記載のデータ処理装置の作動のために必要とされるまたは効果的である特別機能が拡張されたALU。これは殊にカウンタである。

**エレメント** 部品として電子モジュールにおいて使用することができる、それ自体独立している、すべての種類の単位に対する集合概念。即ちエレメントには次のものがある：

- ⊙ すべての種類のコンフィギュレーション化可能なセル
- ⊙ クラスタ
- ⊙ RAMブロック
- ⊙ ロジック
- ⊙ 計算ユニット
- ⊙ レジスタ
- ⊙ マルチプレクサ
- ⊙ チップのI/Oピン

10

20

30

40

50

イベント イベントは、ハードウェアエレメントによって用途に適ったいずれかの形式および方法で評価しかつこの評価に対する応動として規定の動作をトリガすることができる。従って、イベントには例えば次のものがある：

- ◎ 計算装置のクロックサイクル。
- ◎ 内部または外部の割り込み信号。
- ◎ モジュール内の別のエレメントのトリガ信号。
- ◎ データ流および/または命令流の、或る値との比較。
- ◎ 入出力イベント。
- ◎ カウンタの始動、オーバフロー、新たなセット等。
- ◎ 比較の評価。

10

フラグ 状態を指示する、レジスタ中のステータスビット。

FPGA プログラミング可能な論理モジュール。従来技術。

ゲート 論理基本機能を実施するトランジスタ群。基本機能は例えば、NAND、NOR、伝送ゲートである。

コンフィギュレーション化可能なエレメント コンフィギュレーション化可能なエレメントは、特定の機能に対するコンフィギュレーション語によって調整設定することができる、論理モジュールのユニットを表している。従って、コンフィギュレーション化可能なエレメントは、すべての種類の、RAMセル、マルチプレクサ、算術論理ユニット、レジスタおよびすべての種類の、内部および外部のネット化記述などである。

20

コンフィギュレーション 論理ユニット、(FPGA)セルまたはPAEの機能およびネット化の調整設定(再コンフィギュレーション化参照)。

コンフィギュレーションメモリ コンフィギュレーションメモリは1つまたは複数のコンフィギュレーション語を含んでいる。

コンフィギュレーション語 コンフィギュレーション語は任意の長さのビット列から成っている。このビット列は、コンフィギュレーションを行うべきエレメントに対する有効な調整設定を表しているもので、機能するユニットが生じる。

ロードロジック PAEのコンフィギュレーション化および再コンフィギュレーション化のためのユニット。そのタスクに特有に整合されているマイクロコントローラによって構成されてる。

ラッチ 信号を普通、ハイレベルの期間にトランスペアレントに転送しかつローレベルの期間に記憶するメモリエレメント。PAEにおいて部分的に、レベルの機能が正確に反転しているラッチが使用される。この場合、通常のラッチのクロックの前にインバータが切り換えられる。

30

読み出し位置ポインタ FIFOまたはリングメモリ内の読み出しアクセスに対する瞬時的にその時点のエントリのアドレス。

論理セル DFP、FPGA、DPGAにおいて使用されるコンフィギュレーション化可能なセルで、そのコンフィギュレーションに従って簡単な論理または算術タスクを果たすもの。

オーバサンプリング 基本クロックの倍数の周波数で、基本クロックと同期してタイミングがとられる。このより高速なクロックは大抵、PLLによって生成される。

40

PLL 基本クロックに基づいてクロックを運倍するためのユニット(位相閉ループ回路)。

PLU PAEのコンフィギュレーション化および再コンフィギュレーション化のためのユニット。そのタスクに特有に整合されているマイクロコントローラによって構成されてる。

リングメモリ メモリの終わりに達し、即ちメモリの始めに位置している独自の書き込み・読み出し位置ポインタを有するメモリ。これにより、リングの形のエンドレスメモリが生じる。

RSフリップフロップ リセット・セットフリップフロップ。2つの信号によって切り換えることができるメモリエレメント。

50

書き込み位置ポインタ F I F Oまたはリングメモリ内の書き込みアクセスに対する瞬時的にその時点のエントリのアドレス。

ステートバック・ユニット ステート信号の、P L Uに対する応答を制御するユニット。1つのマルチプレクサと1つのコレクタ開放形バスドライバ回路から成っている。

スイッチング・テーブル スwitching・テーブルは、制御部によって応答されるリングメモリである。スイッチング・テーブルのエントリは任意のコンフィギュレーション語を収容することができる。制御部は命令を実施することができる。スイッチング・テーブルはトリガ信号に応答しかつリングメモリにおけるエントリに基づいてコンフィギュレーション化可能なエレメントを再コンフィギュレーション化する（コンフィギュレーション参照）。

処理サイクル 処理サイクルは、ユニットが、定義されたおよび／または有効な状態から次の定義されたおよび／または有効な状態に達するのに必要とする持続時間を記述している。

ステートマシン 種々様々な状態をとることができるロジック。状態間の移行は種々異なった入力パラメータに依存している。これらマシンは、複雑な機能を制御するために使用されかつ従来技術に対応している。

## 名前の約束

ユニット

-UNIT

作動形式

-MODE

マルチプレクサ

-MUX

否定された信号

not-

PLUレジスタ、見える

-PLUREG

レジスタ内部

-REG

シフトレジスタ

-sft

10

## 機能の約束

否定機能!

| I | Q |
|---|---|
| 0 | 1 |
| 1 | 0 |

20

UND 機能 &amp;

| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

30

OR 機能 #

| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

40

## ゲート機能 G

| EN | B | Q |
|----|---|---|
| 0  | 0 | - |
| 0  | 1 | - |
| 1  | 0 | 0 |
| 1  | 1 | 1 |

【図1】

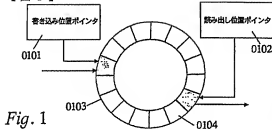


Fig. 1

【図2】

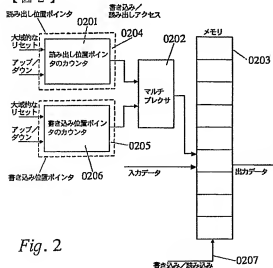


Fig. 2

【図3】

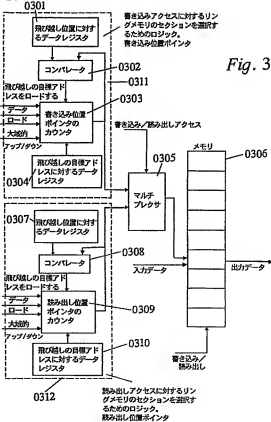
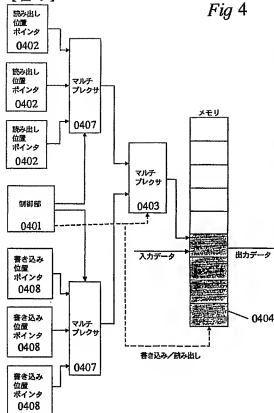
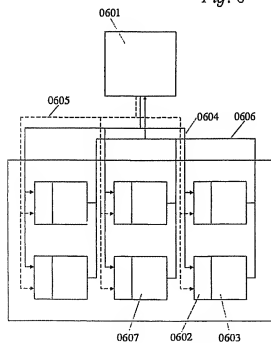


Fig. 3

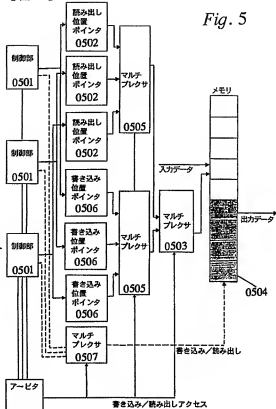
【图 4】



【图 6】



【圖 5】



【圖 7】

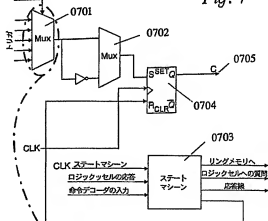
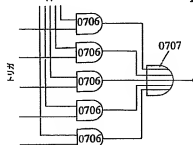
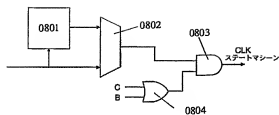


Fig. 7a



【図 8】  
Fig. 8

【図 9】

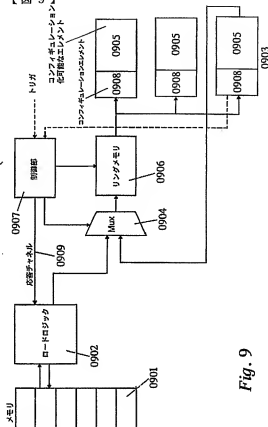


Fig. 9

【図 10】

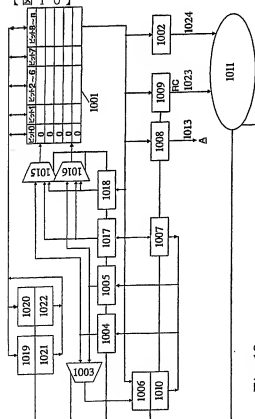


Fig. 10

【図 11】

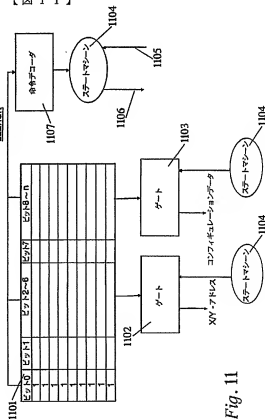
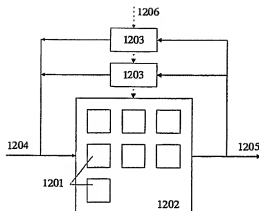


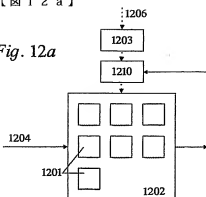
Fig. 11

【図 12】  
Fig. 12

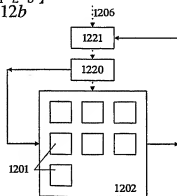


【図 12 a】

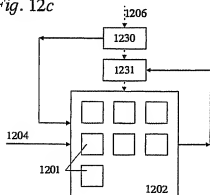
Fig. 12a



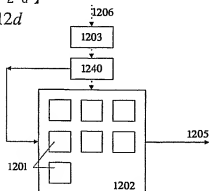
【図 12 b】  
Fig. 12b



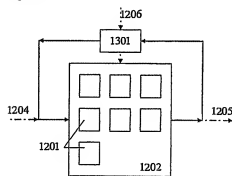
【図 12 c】  
Fig. 12c



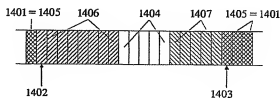
【図 12 d】  
Fig. 12d



【図 13】  
Fig. 13

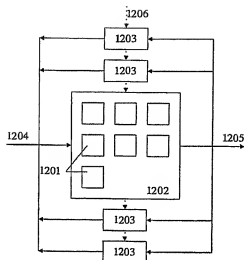


【図 14】  
Fig. 14

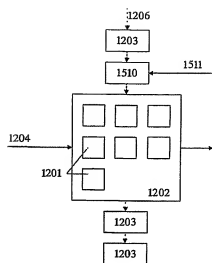




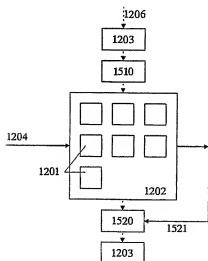
【図 15】  
Fig. 15



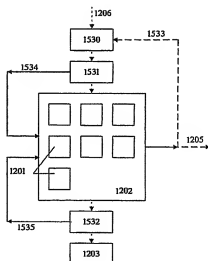
【図 15 a】  
Fig. 15a



【図 15 b】  
Fig. 15b



【図 15 c】  
Fig. 15c



## フロントページの続き

- (72)発明者 マーティン フォーバツハ  
ドイツ連邦共和国 カールスルーエ ハーゲブッテンヴェーク 36  
(72)発明者 ローベルト ミュンヒ  
ドイツ連邦共和国 カールスルーエ ハーゲブッテンヴェーク 36

審査官 清水 稔

- (56)参考文献 特開平08-250685 (JP, A)

凌 曉萍, 天野英晴, WASMII:データ駆動型制御機構をもつMPLD WASMII, 電子情報通信学会論文誌, 1994年 4月25日, 第J77-D-1巻, 第4号, p.309~317  
末吉敏則, Reconfigurable Computing Systemの現状と課題,  
電子情報通信学会技術研究報告CPSY96-91, 1996年12月13日, 第96巻, 第426号  
, p.111~118

- (58)調査した分野(Int.Cl., DB名)

H03K 19/177  
G06F 15/82